

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-037251

(43)Date of publication of application : 06.02.1996

(51)Int.Cl.

H01L 23/12

H05K 1/11

H05K 3/46

(21)Application number : 06-169647

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 21.07.1994

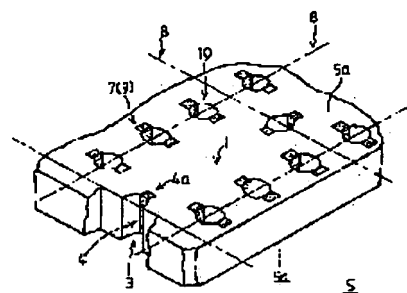
(72)Inventor : SAKAI NORIO

(54) LAMINATED ELECTRONIC PART AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide the method for manufacture of a laminated electronic part having the wire substrate main surface where another electronic part can be mounted, a laminated electronic part, fine arrangement pitch of external electrode and an external electrode can be formed easily, and characteristics can be measured in the state of master substrate under being manufactured.

CONSTITUTION: By providing through holes 10 on the master laminated body 5 composed of a plurality of insulating sheets provided with a via holes 7 and an internal circuit (not shown in the diagram) to be connected to the conductor 9, the conductor 9 is exposed to the through holes 10 by cutting the via holes 7 and the conductor 9 filled in the via holes 7. The exposed conductor 9 becomes the external electrode of each laminated electronic part 1 to be obtained by cutting and deviding the master substrate 5.



LEGAL STATUS

[Date of request for examination]

25.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 3 7 2 5 1

(43) 公開日 平成 8 年 (1996) 2 月 6 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12				
H 0 5 K 1/11		C 7511-4 E		
		F 7511-4 E		
3/46		Z 6921-4 E		
審査請求 未請求 請求項の数 8			H 0 1 L 23/12 O L	N (全 6 頁)

(21) 出願番号 特願平 6-169647

(22) 出願日 平成 6 年 (1994) 7 月 21 日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目 26 番 10 号

(72) 発明者 酒井 範夫

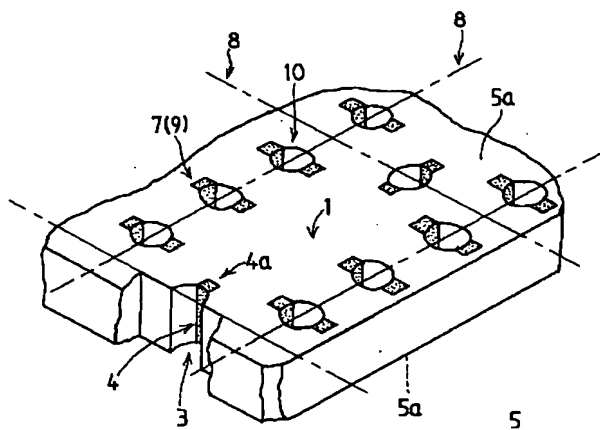
京都府長岡京市天神二丁目 26 番 10 号 株式会社村田製作所内

(54) 【発明の名称】 積層電子部品およびその製造方法

(57) 【要約】

【目的】 基板の主面上の、別の電子部品を実装できる面積が広く、外部電極の配置ピッチが細かい積層電子部品、および、外部電極が簡便に形成でき、製造中の親基板の状態で特性測定が行える積層電子部品の製造方法を提供する。

【構成】 導体 9 を有するビアホール 7 と、導体 9 に接続する内部回路 (図示せず) と、を備えた絶縁性シート 6 を複数枚積層してなる親積層体 5 に、スルーホール 10 を設けることにより、ビアホール 7 および、ビアホール 7 に充填された導体 9 を分断し、スルーホール 10 内に導体 9 を露出させる。露出した導体 9 は、親基板 5 を切断、分割して得られる個々の積層電子部品 1 の外部電極となる。



【特許請求の範囲】

【請求項 1】 内部回路を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなる基板を備え、該基板の厚み方向に凹部を設けるとともに、該凹部内の一部に導体を付与し、該導体を外部電極としたことを特徴とする積層電子部品。

【請求項 2】 前記凹部の両端部を、前記基板の両主面に開口させて設けたことを特徴とする請求項 1 に記載の積層電子部品。

【請求項 3】 前記凹部の両端部のうち、一方の端部を前記基板の一方の主面に開口させて設け、他方の端部を前記基板の側面に設けたことを特徴とする請求項 1 に記載の積層電子部品。

【請求項 4】 前記外部電極の両端部のうち、少なくとも一方の端部を、前記基板の主面に配置したことを特徴とする請求項 2 または 3 に記載の積層電子部品。

【請求項 5】 前記凹部内に溝を形成するとともに、該溝および前記凹部内の一部に導体を付与し、該導体を前記外部電極としたことを特徴とする請求項 1 乃至 4 のいずれかに記載の積層電子部品。

【請求項 6】 導体を有するビアホールと、前記導体に接続する内部回路と、を備えた絶縁性シートを含む複数枚の絶縁性シートを積層してなる親積層体を用い、前記ビアホールの位置に合わせて、該親積層体にスルーホールを形成することにより、前記ビアホールおよび前記導体を前記親積層体の厚み方向に沿って分断し、前記スルーホール内に前記導体を露出させる工程と、前記スルーホールに連続する切断面を形成して、前記親積層体を切断、分割する工程と、を含むことを特徴とする積層電子部品の製造方法。

【請求項 7】 前記導体が、前記ビアホールに充填されることを特徴とする請求項 6 に記載の積層電子部品の製造方法。

【請求項 8】 前記導体が、前記ビアホールの内周面に塗布されることを特徴とする請求項 6 に記載の積層電子部品の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子機器に内蔵される積層電子部品、とくに移動体通信機用のモジュール、半導体パッケージ、およびハイブリッド IC 等を構成する積層電子部品に関する。

【0002】

【従来の技術】 従来の積層電子部品の構成を図 6、図 7 を用いて説明する。図 6 において、41 は積層電子部品であり、基板 42 の各側面 42a、42b に外部電極 43 を形成してなるものである。ここで、基板 42 は、内部回路（図示せず）を備える絶縁性シート（図示せず）を含む複数枚の絶縁性シートを積層して親積層体（図示せず）を形成し、この親積層体を個々の基板 42 の寸法

に合わせて切断、分割した後、焼成してなるものである。また、外部電極 43 は、基板 42 の側面に、厚み方向に導体を塗布してなるものである。このように構成される積層電子部品 41 においては、基板 42 の各側面 42a、42b に導体を塗布する際、必然的に基板 42 の両主面 42c にも導体が付着し、その結果、外部電極 43 の両端部 43a が基板 42 の両主面 42c に形成されることとなる。

【0003】 次に、図 7 において、51 は積層電子部品であり、基板 52 の各側面 52a、52b に形成された凹部 53 に、外部電極 54 を備えてなるものである。ここで、基板 52 は、内部回路（図示せず）を備える絶縁性シート（図示せず）を含む複数枚の絶縁性シートを積層して親積層体 55 を形成し、この親積層体 55 に設けたスルーホール 56 の内周面に導体を塗布し、さらに、個々の基板 52 の寸法に合わせて親積層体 55 を切断、分割した後、焼成してなるものである。そして、親積層体 55 を切断する際、スルーホール 56 を分断することにより、凹部 53 が形成されるとともに、この凹部 53 内に露出した導体が、外部電極 54 となるものである。このように構成される積層電子部品 51 においては、スルーホール 56 の内周面に導体を塗布する際、必然的に、スルーホール 56 の開口部周辺にも導体が付着し、その結果、外部電極 54 の両端部 54a が、基板 52 の両主面 52c 上の凹部 53 の両端部 53a 周辺に形成されることとなる。

【0004】

【発明が解決しようとする課題】 しかしながら、図 6 に示す積層電子部品 41 において、外部電極 43 は、導体を塗布して形成されるため、基板 42 の両主面 42c に設けられる外部電極 43 の両端部 43a の形状は一定でなく、その寸法も所定のものより大きくなる場合がある。このため、基板 42 に別の電子部品を実装する場合、このような別の電子部品を実装できる面積が制限されるとともに、外部電極 43 の配置ピッチを細かくすることが困難となるものである。さらに、外部電極 43 を形成するために、基板 42 の各側面 42a、42b に別々に金属ペーストを塗布しなければならず、作業の手間がかさむものである。

【0005】 また、積層電子部品 41 と同様に、図 7 に示す積層電子部品 51 においても、基板 52 の両主面 54c に設けられる外部電極 54 の両端部 54a の形状は一定でなく、その寸法も所定のものより大きくなる場合がある。このため、基板 52 に別の電子部品を実装する場合、このような別の電子部品を実装できる面積が制限されるとともに、外部電極 54 の配置ピッチを細かくすることが困難となるものである。さらに、スルーホール 56 は、ドリルを用いて形成されるが、そのときの直径は一定の寸法、例えば 0.3mm より小さくすることが困難であり、このことも、外部電極 54 の配置ピッチに制

約を加えることとなる。

【0006】さらに、積層電子部品41、51はいずれも、少なくとも需要者側に出荷する前に特性測定を行わなければならない。しかしながら、原則として、機能的に独立したチップの状態にしてからでないと、これらの特性測定は不可能である。すなわち、積層電子部品41においては、基板42に金属ペーストを塗布し、外部電極43を形成しなければ特性測定ができず、積層電子部品51においては、スルーホール56を分断した状態で、親積層体55を切断、分割することにより外部電極54を形成しなければ、特性測定ができないものである。

【0007】そこで、本発明においては、基板の主面を別の電子部品を実装するために広く利用することができ、外部電極の配置ピッチを細かくすることができる積層電子部品を提供するとともに、外部電極を形成する作業が簡便で、しかも、製造中の親基板の状態で、個々の積層電子部品の特性測定が行える積層電子部品の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の目的を達成するため、本発明にかかる積層電子部品においては、内部回路を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなる基板を備え、該基板の厚み方向に凹部を設けるとともに、該凹部内の一部に導体を付与し、該導体を外部電極としたことを特徴とする。また、前記凹部の両端部を、前記基板の両主面に開口させて設けたことを特徴とする。さらに、前記凹部の両端部のうち、一方の端部を前記基板の主面に開口させて設け、他方の端部を前記基板の側面に設けたことを特徴とする。また、前記外部電極の両端部のうち、少なくとも一方の端部を、前記基板の主面に開口させて設けたことを特徴とする。さらに、前記凹部内に溝を形成するとともに、該溝および前記凹部内の一部に導体を付与し、該導体を前記外部電極としたことを特徴とする。

【0009】また、本発明にかかる積層電子部品の製造方法においては、導体を有するビアホールと、前記導体に接続する内部回路と、を備える絶縁性シートを含む複数枚の絶縁性シートを積層してなる親積層体を用い、前記ビアホールの位置に合わせて、該親積層体にスルーホールを形成することにより、前記ビアホールおよび前記導体を前記親積層体の厚み方向に沿って分断し、前記スルーホール内に前記導体を露出させる工程と、前記スルーホールに連続する切断面を形成して、前記親積層体を切断、分割する工程と、を含むことを特徴とする。さらに、前記導体が、前記ビアホールに充填されることを特徴とする。また、前記導体が、前記ビアホールの内周面に塗布されることを特徴とする。

【0010】

【作用】本発明にかかる積層電子部品によれば、ビアホ

ールに付与された導体を外部電極とするので、外部電極の端部が基板の主面に設けられる場合、その端部の形状および寸法は、ビアホールの開口部の形状および寸法によって規定され、一定のものとなる。

【0011】また、本発明にかかる積層電子部品の製造方法によれば、親基板にスルーホールを形成し、そのスルーホール内に、予めビアホールに付与された導体を露出させることにより、個々の積層電子部品の外部電極が簡便に形成される。

【0012】さらに、本発明にかかる積層電子部品の製造方法によれば、親基板にスルーホールを形成し、予めビアホールに付与された導体を分断することにより、個々の積層電子部品が、互いに機能的に独立した状態となる。

【0013】

【実施例】本発明の一実施例にかかる積層電子部品の構成を、図1を用いて説明する。図1において、1は積層電子部品であり、内部回路（図示せず）を備える基板2の各側面2a、2bに形成された凹部3の内部に、内部回路に接続する外部電極4を備えてなるものである。ここで、凹部3は、その内部が曲面をなし、その両端部3aを基板2の両主面2cに開口させてなるものである。また、外部電極4は、凹部3内の一部に、基板2の厚み方向に沿って帯状に形成され、その両端部4aを基板2の両主面2cに設けてなるものである。

【0014】次に、このような構成を備える積層電子部品1の製造方法を、図2、図3を用いて説明する。まず、図2に示す親積層体5が準備される。親積層体5は、例えばセラミックから構成される絶縁性シート6を複数枚積層してなるものである。ここで、絶縁性シート6を積層する際、各シート6に、開口部が長方形をなすビアホール7が、その開口部が切断線8に直交した状態で形成される。このビアホール7は、例えばパンチングにより、複数個の孔を、互いの開口部が重なり合うように並設した状態で形成することにより、長方形の開口部をなすものである。そして、これら絶縁性シート6に導電膜や抵抗膜（図示せず）を印刷することにより、切断線8によって区画される個々の積層電子部品1の内部回路（図示せず）が形成される。さらに、ビアホール7に導体9が充填され、この導体9と内部回路が接続される。また、各絶縁性シート6に設けられたビアホール7、およびビアホール7に充填された導体9は、絶縁性シート6の積層方向に連続した状態となり、親積層体5の両主面5a上のビアホール7の開口部には、導体9が露出するものである。

【0015】次に、図3に示すように、ドリル等を用いて、親積層体5を貫通するスルーホール10が、切断線8に沿って、ビアホール7の開口部の位置に対応して形成される。ここで、スルーホール10は、開口部の径寸法がビアホール7の開口部の短辺寸法より大きいもので

あり、親積層体 5 の厚み方向に沿って、ビアホール 7 および、ビアホール 7 に充填された導体 9 を分断するものである。そして、スルーホール 10 内に導体 9 が露出し、こうして露出した導体 9 は、図 1 に示す積層電子部品 1 の外部電極 4 となるものである。この後、親積層体 5 は焼成される。このように、スルーホール 10 が形成され、導体 9 が分断されることにより、切断線 8 によって区画される個々の積層電子部品 1 となる部分は、互いに他のものに対して機能的に独立した状態となる。したがって、焼成後の親積層体 5 の状態のまま、スルーホール 10 内に露出した導体 9 (外部電極 4) を介して、個々の積層電子部品 1 の特性測定を行うことができるものである。なお、積層電子部品 1 の需要者側への出荷をこの段階で行ってもよいものである。

【0016】そして、最終的に、スルーホール 10 に連続する切断面を形成して、親積層体 5 を切断、分割することにより、機能的に独立した複数の積層電子部品 1 が形成される。このとき、スルーホール 10 は親積層体 5 の厚み方向に沿って分断され、積層電子部品 1 の凹部 3 が形成されるものである。

【0017】このように、本発明にかかる積層電子部品 1 によれば、ビアホール 7 に充填された導体 9 が外部電極 4 となるので、基板 2 の両主面 2 c に設けられる外部電極 4 の両端部 4 a の形状および寸法は、ビアホール 7 の開口部の形状および寸法によって規定され、一定のものとなる。したがって、基板の側面に塗布した導体を外部電極とする場合に比べて、基板 2 の両主面 2 c を、別の電子部品を実装するために広く利用することができ、しかも、外部電極 4 (凹部 3) の配置ピッチを細かくすることができる。

【0018】また、本発明にかかる積層電子部品の製造方法によれば、親積層体 5 にスルーホール 10 を形成し、このスルーホール 10 の内部に、予めビアホール 7 に充填された導体 9 を露出させることにより、外部電極 4 を形成するので、基板の各側面に導体を塗布して外部電極を形成する場合に比べて、外部電極を形成する作業が簡便である。

【0019】さらに、本発明にかかる積層電子部品の製造方法によれば、親積層体 5 にスルーホール 10 を形成し、予めビアホール 7 に充填された導体 9 を分断することにより、個々の積層電子部品 1 となる部分を、互いに機能的に独立した状態にすることができ、これにより、焼成後の親積層体 5 の状態で、個々の積層電子部品 1 の特性測定を効率的に行うことができる。

【0020】なお、本実施例の積層電子部品 1 は、凹部 3 の両端部 3 a および外部電極 4 の両端部 4 a を、基板 2 の両主面 2 c に設けてなるものであるが、例えば、図 4 に示すように、凹部 2 3 および外部電極 2 4 の一方の端部 2 3 a、2 4 a を、それぞれ基板 2 の一方の主面 2 c に設け、他方の端部 2 3 b、2 4 b を、それぞれ基板

2 の各側面 2 a、2 b に設けて、積層電子部品 2 1 を形成してもよいものである。このような積層電子部品 2 1 は、図 2 における親積層体 5 の上部を構成する絶縁性シート 6 のみビアホール 7 を設け、このビアホール 7 に導体 9 を充填し、親積層体 5 の上部のみを打ち抜くスルーホール 10 を設け、焼成した後、この親積層体 5 を切断、分割してなるものである。このように構成される積層電子部品 2 1 においては、基板 2 の一方の主面 2 c について、その全面を、別の電子部品を実装するために利用することができる。

【0021】また、必要に応じて、例えば、図 1 に示す凹部 3 および外部電極 4 とともに、図 4 に示す凹部 2 3 および外部電極 2 4 を、一個の積層電子部品に形成し、これらを混在させてもよいものである。また、例えば、図 1 に示す外部電極 4 と、基板 2 の各側面 2 a、2 b に導体を塗布してなる外部電極を一個の積層電子部品に混在させてもよいものである。

【0022】さらに、本実施例の積層電子部品 1 は、基板 2 の凹部 3 内に露出した導体 9 を、外部電極 4 とするものであるが、例えば、図 5 に示すように、凹部 3 3 内に溝 3 4 を形成してなる基板 2 を備え、この溝 3 4 内に付与した導体 9 を外部電極 3 5 とする積層電子部品 3 1 を形成しても良いものである。ここで、積層電子部品 3 1 は、図 2 に示す絶縁性シート 6 に設けたビアホール 7 の内周面に導体 9 を塗布し、これら絶縁性シート 6 を積層してなる親積層体 5 にスルーホール 10 を設け、このスルーホール 10 内に、ビアホール 7 の内周面に沿って溝状をなす導体 9 を露出させ、焼成した後、親積層体 5 を切断、分割してなるものである。このように構成される積層電子部品 3 1 においては、ビアホールに充填された導体を外部電極とする場合に比べて、外部電極 3 5 を構成する導体 9 が少量でよいので、製造コストを低減することができる。

【0023】また、本実施例においては、導体 9 を充填するためビアホール 7 の開口部が矩形をなし、スルーホール 10 の開口部が円形をなす場合について説明したが、開口部がこれら以外の形状を有するビアホールおよびスルーホールを形成し、充填した導体を露出させて、外部電極を形成してもよいものである。

【0024】

【発明の効果】本発明にかかる積層電子部品によれば、ビアホールに付与された導体を外部電極とするので、外部電極の端部が基板の主面に設けられる場合、その端部の形状および寸法は、ビアホールの開口部の形状および寸法によって規定され、一定のものとなる。したがって、外部電極の配置ピッチを細かくすることができるとともに、基板の主面を、別の電子部品を実装するために、広く利用することができ、部品実装の高密度化が図れるものである。

【0025】また、本発明にかかる積層電子部品の製造

10

20

30

40

50

方法によれば、親積層体にスルーホールを設け、このスルーホールの内部に、予めビアホールに付与された導体を露出させることにより、外部電極を形成することができ、外部電極を形成する作業が簡便である。

【0026】さらに、本発明にかかる積層電子部品の製造方法によれば、親積層体にスルーホールを設け、予めビアホールに付与された導体を分断することにより、個々の積層電子部品となる部分を、互いに機能的に独立した状態にすることができる。これにより、焼成後の親積層体の状態で、個々の積層電子部品の特性測定を効率的に行うことができる。さらに、特性測定を行った後、この親積層体の状態で需要者側に出荷すれば、個々の積層電子部品がチップの状態にある場合に比べて、梱包等の取り扱いが容易である。しかも、この状態であれば、需要者側において、親積層体を切断、分割するだけで、複数の積層電子部品を得ることができ、積層電子部品の実装が効率的に行えるものである。

【図面の簡単な説明】

【図1】本発明の一実施例にかかる積層電子部品の斜視図である。

【図2】図1に示す積層電子部品を製造するために用いられる親積層体の斜視図である。

【図3】図2に示す親積層体に、スルーホールが形成された状態を示す要部拡大斜視図である。

【図4】本発明の他の実施例にかかる積層電子部品の斜

視図である。

【図5】本発明のさらに他の実施例にかかる積層電子部品の斜視図である。

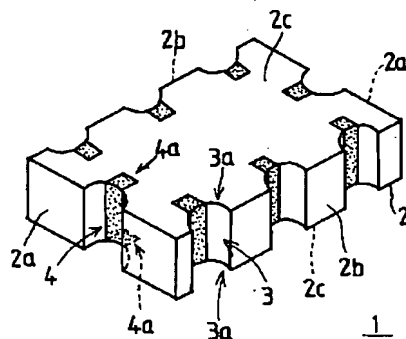
【図6】従来の積層電子部品の斜視図である。

【図7】他の従来の積層電子部品の斜視図である。

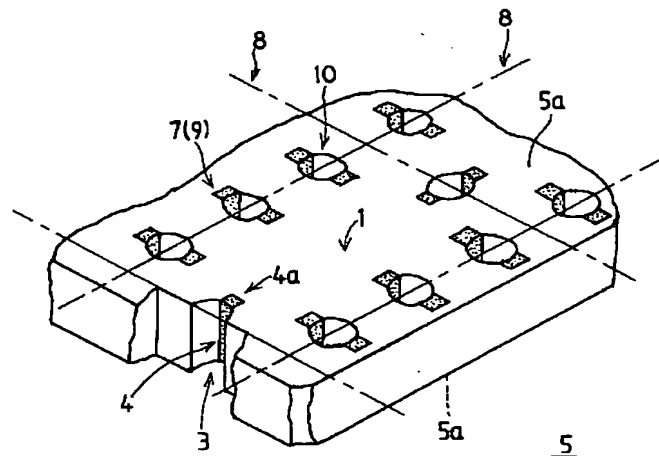
【符号の説明】

1、21、31	積層電子部品
2	基板
2a、2b	側面
2c	主面
3、23、33	凹部
3a、23a、23b、33a	端部
4、24、35	外部電極
4a、24a、24b、35a	端部
5	親積層体
6	絶縁性シ
ート	
7	ビアホー
20	ル
9	導体
10	スルーホ
ール	
34	溝

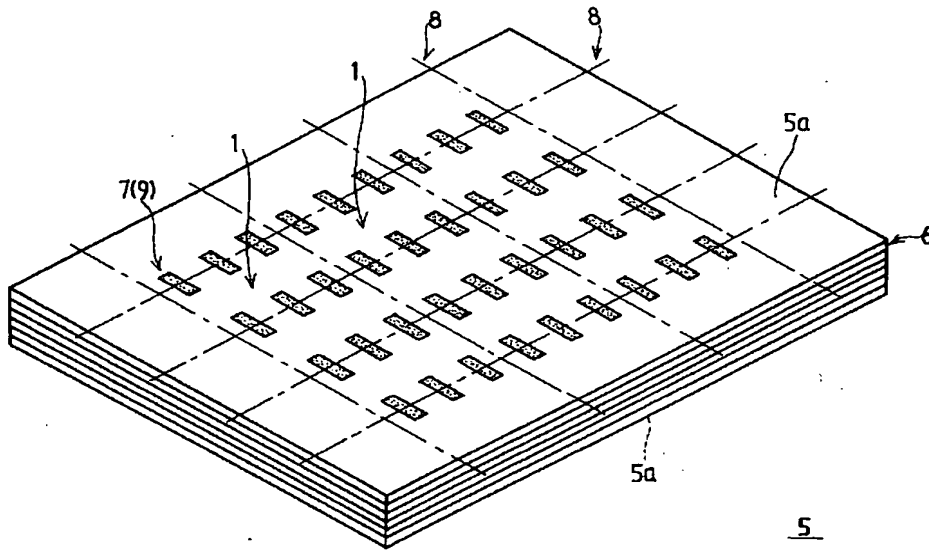
【図1】



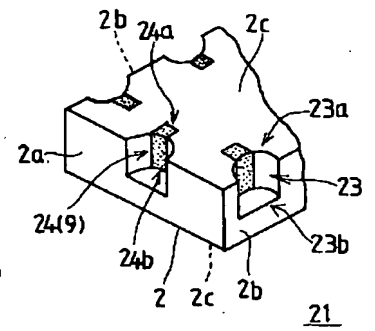
【図3】



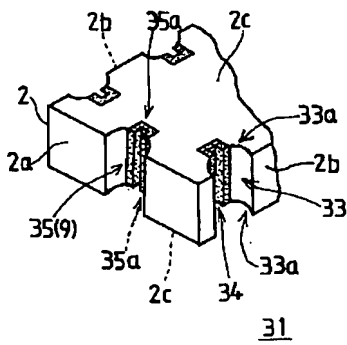
【図 2】



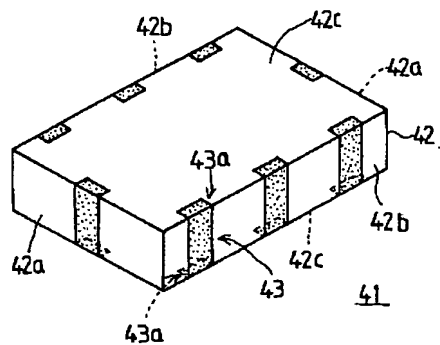
【図 4】



【図 5】



【図 6】



【図 7】

